

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-083842

(43)Date of publication of application : 26.03.1996

(51)Int.Cl.

H01L 21/768
H01L 21/314

(21)Application number : 06-217470

(71)Applicant : NEC CORP

(22)Date of filing : 12.09.1994

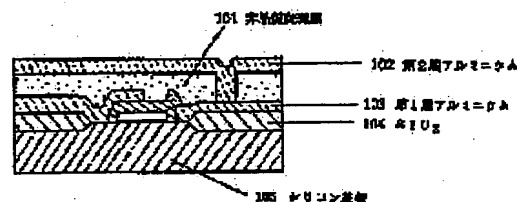
(72)Inventor : ENDO KAZUHIKO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To lessen the wiring delay without deteriorating the reliability of elements by using an amorphous carbon film for an interlayer insulating film of a semiconductor device.

CONSTITUTION: An amorphous carbon film 101 is made by making monomer molecules of a hydrocarbon system into the plasma and letting the produced radical molecules and ions of carbon react with each other on a silicon substrate 105. As for the material monomer molecules, hydrocarbon system gas such as CH₄ and C₂H₄ or solid or liquid molecules of naphthalene, etc., may be used. When the amorphous carbon film 101 is fabricated, fluorine gas such as CF₄, C₂F₈, and SF₆ is caused to flow. The gas is also made into the plasma and thereby fluorine radicals and ions are produced and therefore the amorphous carbon film can have fluorine in it. Even if the amorphous carbon film does not includes fluorine, an interlayer insulating film which is constituted of such an amorphous carbon film has the lower dielectric constant than an SiO₂-made interlayer insulating film and therefore the operational speeds of elements can be increased. The more fluorine the amorphous carbon film includes, the lower the dielectric constant of the film becomes and therefore the signal delay can be further lessened.



LEGAL STATUS

[Date of request for examination] 12.09.1994

[Date of sending the examiner's decision of rejection] 02.09.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2748864

[Date of registration] 20.02.1998

[Number of appeal against examiner's decision of rejection] 09-16736

[Date of requesting appeal against examiner's decision of rejection] 02.10.1997

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-83842

(43) 公開日 平成8年(1996)3月26日

| | | | | |
|---------------------------|------|--------|----------------|--------|
| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| H 0 1 L 21/768 | | | | |
| 21/314 | A | | H 0 1 L 21/ 90 | K |

審査請求 有 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平6-217470

(22) 出願日 平成6年(1994)9月12日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 遠藤 和彦

東京都港区芝五丁目7番1号 日本電気株式会社内

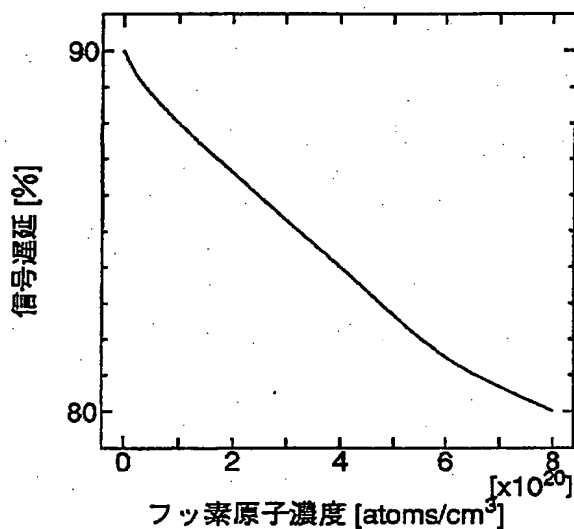
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 半導体装置の多層配線用層間絶縁膜に非晶質炭素膜を使用し、信号遅延を低減させる。

【構成】 真空装置内にあらかじめアルミニウム等で配線を形成したシリコン基板を設置し、続いて真空装置中で炭素水素ガス系によってプラズマを発生させる。生成された炭化水素ラジカル、イオンによって、 SiO_2 よりも誘電率の低い非晶質炭素膜を堆積させ、半導体装置用層間絶縁膜とする。また同時にフッ素ガスを流入し、同様プラズマによってフッ素のラジカル、イオンを生成し、非晶質炭素膜中にフッ素を含有させて低誘電率させる。この低誘電率の非晶質炭素膜、及び含フッ素非晶質炭素膜を半導体装置の多層配線用層間絶縁膜に用いることにより、信号遅延を低減させる。また非晶質炭素膜中にフッ素を含有させる場合は、フッ素含有量に深さ方向の分布を持たせることにより、非晶質炭素膜のはがれを防止する。



1

【特許請求の範囲】

【請求項1】非晶質炭素膜を層間絶縁材料に用いることを特徴とする半導体装置。

【請求項2】非晶質炭素膜にフッ素を含有させることを特徴とする請求項1記載の半導体装置。

【請求項3】フッ素の含有量に深さ方向の分布を持たせることを特徴とする請求項2に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、層間絶縁膜に低誘電率絶縁材料を用いて、従来の半導体装置に比べて配線遅延を減少させた、高速の半導体装置に関する。

【0002】

【従来の技術】今後の半導体装置の配線幅、配線間隔の減少によって、半導体装置の配線浮遊容量、及び配線抵抗の増大が生じ、それにともなう配線遅延の増大から、半導体装置の高速動作に障害が生じるようになってくる。そこで配線遅延を低減させる目的で、現在多層配線層における絶縁材料の見直しが行われている。一般に配線遅延は、絶縁材料の比誘電率の平方根に比例するので、絶縁材料に比誘電率の低いものを用いることによって配線遅延を減少させることが可能になる。現在層間絶縁膜材料には、比誘電率が4程度である SiO_2 等が使用されており、比誘電率を3以下に低下させることが望まれている。そこで SiO_2 にフッ素を含有させて比誘電率を低下させた SiOF 膜、あるいは SiO_2 等の無機材料よりも誘電率の低いポリイミド等の有機材料が低誘電率の層間絶縁材料として検討されている。

【0003】

【発明が解決しようとする課題】しかしながらフッ素含有量 SiO_2 は、誘電率の低下が顕著ではなく、現在比誘電率が3程度にとどまっており、膜の吸湿性などの問題点が存在する。またポリイミド樹脂を用いた場合では、約400℃程度と耐熱性に限界があること、ウェットなプロセスで膜中水分が素子に影響を与えること、キュア時の堆積収縮によってクラックの発生があることなどの欠点が存在する。

【0004】本発明の課題は、このような材料に変えて、素子の信頼性を損ねることのない、低誘電率の絶縁材料を半導体装置の層間絶縁膜に用いた構造を提供することにある。

【0005】

【課題を解決するための手段】本発明の半導体装置は、従来の層間絶縁膜に変えて、非晶質炭素膜101を層間絶縁膜に用いたもので、図1にその構造の一例を示す。

【0006】この非晶質炭素膜は、フッ素を含有させなくても比誘電率が3以下になる低誘電率絶縁材料であり、フッ素を含有させることによって、さらに比誘電率を2.5程度まで低下させることが可能である。非晶質炭素膜の構造は、炭素原子が高度に架橋した構造になる

2

ため、ポリイミドよりも耐熱性が高く、さらに重合時に水分の発生が無く膜中水分が存在しないなどの優れた特徴を有している。

【0007】この非晶質炭素膜を半導体装置の層間絶縁膜に使用することにより、素子の信頼性を損ねることなく、配線遅延を減少させた半導体装置を実現することが可能となる。

【0008】

【作用】本発明で使用する非晶質炭素膜は、炭化水素系のモノマー分子をプラズマ化し、生成された炭素のラジカル分子、イオンなどを基板上で反応させて形成される。用いる原料モノマー分子は CH_4 、 C_2H_2 、 C_2H_4 などの炭化水素系ガス、あるいはナフタリンなどの固体、液体分子を用いても良い。またそのとき同時に CF_4 、 C_2F_2 、 C_2F_4 、 C_2F_6 、 SF_6 等のフッ素系ガスを流入させ、同様にプラズマでフッ素ラジカル、イオンを発生させて、非晶質炭素膜中にフッ素を含有させる。このとき下地との界面にフッ素が存在すると、非晶質炭素膜と下地との密着性が低下し、膜がはがれやすくなるので、界面にはフッ素を存在させず、非晶質炭素膜中のみにフッ素を存在するようにフッ素含有量に深さ方向の分布を持たせることにより、絶縁材料の密着性の低下を防止する。

【0009】

【実施例】本発明を図面に基いて説明する。図2は含フッ素非晶質炭素膜を形成させるための装置の概略図である。装置は支持台201に設置した真空槽内に、電極205、207を設け、その間に高周波電源装置208から直流及び交流電力を印加できるようになっている。また下部電極207には試料加熱装置（図示してはいない）が設けられており、試料を任意の温度に加熱することが可能である。

【0010】この装置によって非晶質炭素膜を形成させるには、下部電極207あるいは、上部電極205上にシリコン基板等の試料206を設置する。下部電極には高周波が印加されるので、電極には数百ボルトの負のバイアスが印加される。下部電極に試料を設置して成膜した場合は、試料にこのバイアスで加速されたイオンが照射され、膜中の水素含有量が少ない、より架橋した非晶質炭素膜が得られる。それに対してアース電位の上部電極に試料を設置して成膜した場合は、イオンが下部電極よりも加速されず、より水素が含有した非晶質炭素膜が得られる。

【0011】試料を電極に設置後、装置にガスボンベ203から CH_4 、 C_2H_2 、 C_2H_4 等の炭化水素ガスを導入し、真空度0.01-0.5 Torrで、電極間に高周波電力あるいは、直流電力を印加してグロー放電させ、炭化水素のプラズマを発生させる。

【0012】この炭素プラズマにより非晶質炭素膜を堆積させる。またこのとき、非晶質炭素膜を堆積させる試

料を任意の温度に加熱して、ラジカルやイオンの反応性を制御し、膜中水素濃度などの膜質を制御する。非晶質炭素膜中にフッ素を含有させるときには、ガスボンベ203から同時に CF_4 、 SF_6 、 C_2F_4 、 NF_3 、 C_2F_6 等のフッ素系ガスを導入し、同様プラズマ化して、膜中に含有させる。

【0013】次に具体的な実験例を示す。図1は、本発明の非晶質炭素膜を絶縁材料に用いることを特徴とした半導体装置の断面模式図である。

【0014】まず公知の技術でトランジスタをシリコン基板105上等に形成し、アルミニウム等の電極材料を堆積後、公知のリソグラフィ技術により配線にパターンを形成する。次にアルミニウム配線102、103が形成されたシリコン基板を図2のプラズマ装置中に設置する。

【0015】シリコン基板を設置したプラズマ装置に、 CH_4 、 C_2H_4 、 C_2H_2 等の炭化水素系ガスを流入させ、続いて電極に高周波電力を印加して放電させ、炭化水素系ガスをプラズマ化する。なお原料としては他にナフタリン等の固体分子、あるいは液体の炭化水素分子も使用できる。そして放電には高周波放電の他、直流放電、マイクロ波放電、マグネトロン型あるいはコイルによって放電させる誘導結合型等も使用可能である。そして生成された炭化水素のラジカル分子、イオン等を用いて、シリコン基板上に膜を堆積させる。

【0016】また膜中にフッ素を含有させる場合は、同時に CF_4 、 SF_6 、 C_2F_4 、 NF_3 、 C_2F_6 などのフッ素系ガスを流入させて、同様にガスをプラズマ化してフッ素を含有させる。

【0017】 CH_4 ガスのみを10SCCM装置に流入させ、真空度0.1 Torr、高温で高周波を50W印加させて、下部電極で成膜した場合の膜の比誘電率は2.9であった。同じ条件で高周波を100W印加すると比誘電率は3.2に上昇した。高周波電力を上昇させると、より膜の架橋が進み、比誘電率が上昇したと考えられる。続いて非晶質炭素膜中にフッ素を含有させた実施例を示す。下部電極に試料を設置して、 CH_4 ガスを5SCCM、 CF_4 ガスを50SCCMプラズマ装置中に流入させ、RF電力100Wを印加して成膜した場合、膜の誘電率は2.5まで低下した。この含フッ素非晶質炭素膜と、 CH_4 ガスのみを10SCCM流入させて高周波電力100Wで成膜した非晶質炭素膜の、2次イオン質量分析法による、深さ方向フッ素含有量評価の結果を図3に示す。フッ素を含有させた試料のフッ素含有量(a)は、含有させていないもの(b)に対して約2桁大きい。またこのフッ素含有量は炭化水素系ガスに対するフッ素系ガスの流量を変化させることによって制御することが可能である。炭化水素とフッ素ガスの流量比に対する膜中フッ素濃度の関係は図4のようになった。

【0018】しかし、フッ素の含有した非晶質炭素膜をシリコンあるいはアルミニウム上に直接堆積させると、界面に存在するフッ素のために、堆積させた非晶質炭素膜にはがれが生じる場合がある。そこで本発明では、膜のはがれを発生させないで、含フッ素非晶質炭素膜を堆積させることのできる、フッ素原子の膜中フッ素プロファイルの最適化を行った。

【0019】成膜のはじめはフッ素系ガスを流入させないで、途中から CF_4 ガスを流入させて成膜したときの、非晶質炭素膜の深さ方向フッ素含有量を図5に示す。このように、膜中フッ素に深さ方向の分布を設けると、下地のアルミニウムや SiO_2 と、非晶質炭素膜との界面にフッ素が存在しないため、界面の密着性を高めることが可能となる。膜のはがれ試験の結果、非晶質炭素膜のはがれ度合いを、成膜の初期の段階からフッ素を流入させたものに比べて約80%向上させることができた。また図5に示した実施例では、非晶質炭素膜中から下地との界面に向かうに従って、徐々にフッ素含有量が低下するプロファイルを持たせたが、フッ素が下地との界面に存在しないことが必要な効果であり、従って界面で急にフッ素含有量が零になるような急峻なプロファイルを用いても本実施例と同様の効果を持たせることができる。

【0020】次に含フッ素非晶質炭素膜と、通常の非晶質炭素膜の電流電圧特性を図6に示す。含フッ素非晶質炭素膜の絶縁性が通常の非晶質炭素膜に比べて向上していることが分かる。これは非晶質炭素膜中に存在するトラップ準位をフッ素が終端して準位がなくなったために生じると考えられる。

【0021】非晶質炭素膜、及び非晶質炭素膜内部にフッ素が含有された膜を層間絶縁膜に用いた半導体装置の信号遅延時間の減少度合いを図7に示す。なおこの図では、同様の半導体装置で、 SiO_2 を層間絶縁膜に用いた場合に計測された信号遅延を100%として規格化している。フッ素の含有されていない非晶質炭素膜を用いた場合でも、 SiO_2 を層間絶縁膜に使用した場合に比べて層間絶縁膜が低誘電率化されるので、素子の高速化を行うことができた。そして膜中のフッ素含有量が多くなるにつれて非晶質炭素膜がさらに低誘電率化し、信号遅延がより減少する。特に、比誘電率2.5の含フッ素非晶質炭素膜を用いて、遅延時間を80%まで減少させることができた。

【0022】以上は下部電極側で成膜を行った場合の実施例であるが、上部電極側で成膜を行った非晶質炭素膜、含フッ素非晶質炭素膜を用いても、同様に半導体装置の高速化を行うことができることを確認した。さらにマグネトロン、ヘリコン波、及びマイクロ波を用いた放電によって成膜した非晶質炭素膜でも、比誘電率2.9、含フッ素化させて比誘電率2.5という値が得られ、この膜を層間絶縁膜に用いることによって、高周波

放電の場合と同様に素子の高速化を行うことができた。

【0023】このように非晶質炭素膜、及びフッ素含有非晶質炭素膜を層間絶縁膜に用いることにより、従来よりも配線の信号遅延の少ない半導体素子を作成する事が可能とした。

【0024】

【発明の効果】以上説明したように、本発明は非晶質炭素膜、及びフッ素含有非晶質炭素膜を半導体装置の多層配線用層間絶縁膜に使用することで、信頼性を損ねることなく半導体装置の高速化を行うことのできる半導体装置を実現させた。

【図面の簡単な説明】

【図1】本発明の、非晶質炭素膜を層間絶縁膜に用いた半導体装置の断面模式図である。

【図2】本発明で使用する、非晶質炭素膜形成装置の概略図である。

【図3】本発明により作成した非晶質炭素膜の、深さ方向フッ素含有量の分布を示す図である。

【図4】CF₄/CH₄、流量比を変化させたときの非晶質炭素膜中のフッ素含有量を示す図である。

【図5】フッ素含有量に深さ方向の分布を持たせて含フ*

*ッ素化させたときの、非晶質炭素膜の深さ方向フッ素含有量の分布を示す図である。

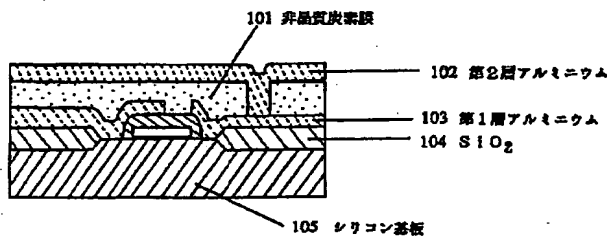
【図6】本発明により形成した非晶質炭素膜の、絶縁耐圧特性図である。

【図7】本発明の半導体装置の信号遅延時間を示す図である。

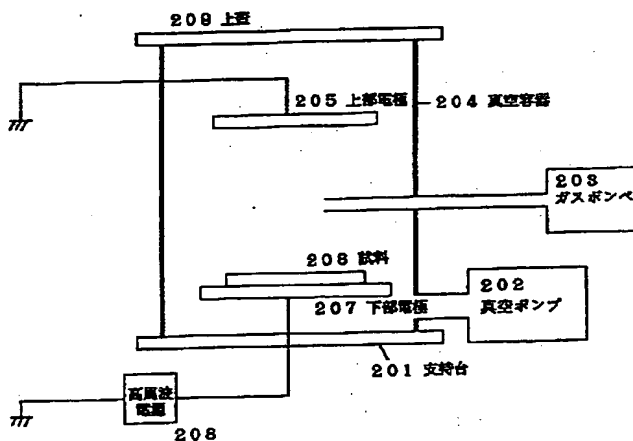
【符号の説明】

- 101 非晶質炭素膜
- 102 第2層アルミニウム
- 103 第1層アルミニウム
- 104 SiO₂
- 105 シリコン基板
- 201 支持台
- 202 真空ポンプ
- 203 ガスボンベ
- 204 真空容器
- 205 上部電極
- 206 試料
- 207 下部電極
- 208 高周波電源
- 209 上蓋

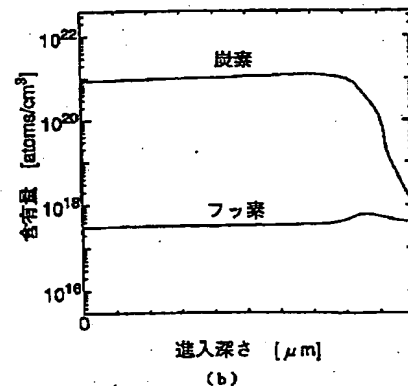
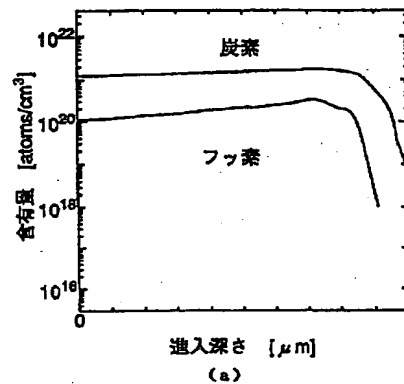
【図1】



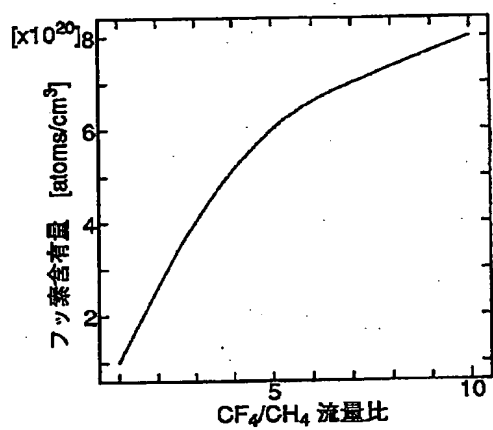
【図2】



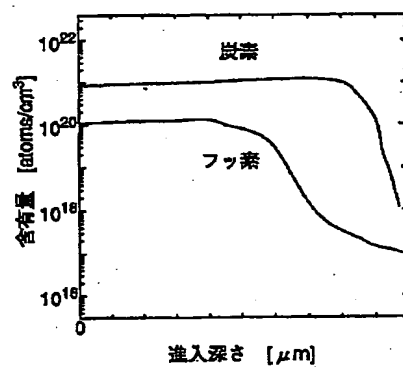
【図3】



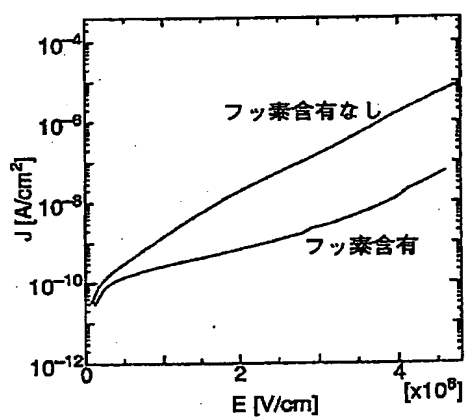
【図4】



【図5】



【図6】



【図7】

